

(51)Int.Cl. <sup>7</sup>	識別記号	F I	サーチコード <sup>*</sup> (参考)
H 0 1 L 21/82		H 0 1 H 85/00	T 5 F 0 6 4
H 0 1 H 85/00		H 0 1 L 21/82	F 5 G 5 0 2

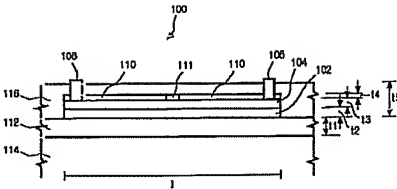
審査請求 有 請求項の数30 O L (全 10 頁)

(21)出願番号	特願2001-160394(P2001-160394)	(71)出願人	390009531 インターナショナル・ビジネス・マシー ズ・コーポレーション INTERNATIONAL BUSIN ESS MACHINES CORPO RATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22)出願日	平成13年5月29日 (2001.5.29)	(74)代理人	100086243 弁理士 坂口 博 (外2名)
(31)優先権主張番号	0 9 / 5 8 0 1 3 2		
(32)優先日	平成12年5月30日 (2000.5.30)		
(33)優先権主張国	米国 (US)		

最終頁に続く

(54)【発明の名称】 ヒューズ・リンクの局所劣化による強化型ヒューズ

(57)【要約】  
【課題】 制御されかつ予測可能な劣化領域を有するヒューズを提供すること。  
【解決手段】 本明細書には、導電層上に配置されたカバー層を組み込んだヒューズであって、この導電層が多結晶シリコン層上に配置されているものが記載されている。カバー層は、窒化物腐食剤バリアなど、比較的不活性な材料を含むことが好ましい。カバー層は、比較的不活性ではない充填材料領域を有することが好ましい。ヒューズをプログラミングする際、ケイ化物であってもよい導電層は、カバー層の充填材料の下に在る領域が優先的に劣化する。この優先的な劣化により、充填材料の下に在るヒューズ領域では予測可能なヒューズの「溶断」が生じる。「溶断」領域が予測可能であるので、隣接する構造に与えられる損傷を最小限に抑えることができ、または無くすることができる。



【特許請求の範囲】

【請求項1】多結晶シリコン層と、  
前記多結晶シリコン層上に配置された導電層と、  
前記導電層上に配置されたカバー層とを含み、  
前記カバー層が、第1の材料と、前記第1の材料中に配置された充填材料を含む充填材料領域とを含み、前記充填材料が前記導電層に接触しているヒューズ構造。

【請求項2】前記充填材料が前記第1の材料よりも不活性ではない請求項1に記載のヒューズ。

【請求項3】前記導電層が金属ケイ化物を含み、前記第1の材料が窒化ケイ素を含み、前記充填材料がSiLK、二酸化ケイ素、酸窒化ケイ素、SOG (spin on glass) 材料、シリケート、またはフルオロシリケートを含む請求項2に記載のヒューズ。

【請求項4】前記金属ケイ化物には、ケイ化コバルト、ケイ化タングステン、またはケイ化チタンが含まれる請求項3に記載のヒューズ。

【請求項5】前記充填材料領域が前記カバー層の中心に配置されている請求項1に記載のヒューズ。

【請求項6】前記カバー層の厚さが約200オングストロームないし約400オングストロームである請求項1に記載のヒューズ。

【請求項7】前記カバー層の厚さが約250オングストロームないし約350オングストロームである請求項6に記載のヒューズ。

【請求項8】前記充填材料領域が、前記カバー層の厚み全体にわたって延びる請求項1に記載のヒューズ。

【請求項9】前記導電層の厚さが約200オングストロームないし約300オングストロームであり、シート抵抗が約15オーム/□未満である請求項1に記載のヒューズ。

【請求項10】前記導電層の厚さが約225オングストロームないし約275オングストロームであり、シート抵抗が約10オーム/□未満である請求項9に記載のヒューズ。

【請求項11】前記多結晶シリコン層の厚さが約2,000オングストロームないし約3,000オングストロームであり、シート抵抗が約100オームよりも大きい請求項1に記載のヒューズ。

【請求項12】前記多結晶シリコン層の厚さが約2,300オングストロームないし約2,700オングストロームであり、シート抵抗が約500オームよりも大きい請求項11に記載のヒューズ。

【請求項13】前記充填材料が、パッシベーション層に使用される材料である請求項1に記載のヒューズ。

【請求項14】前記導電層に接触して配置された2つのコンタクトをさらに含み、前記充填材料領域が前記コンタクト間に配置されている請求項1に記載のヒューズ。

【請求項15】多結晶シリコン層を形成するステップと、

前記多結晶シリコン層上に導電層を形成するステップと、

前記導電層上に、第1の材料を含むカバー層を形成するステップと、

第1のホトレジストでマスキングし、パターニングし、エッチングして、前記多結晶シリコン層と、前記導電層と、前記カバー層とを含むスタックを画定するステップと、

第2のホトレジストでマスキングし、パターニングし、エッチングして、前記カバー層内にギャップを画定するステップと、

前記ギャップに充填材料を充填して、前記導電層に接触する充填材料領域を形成するステップとを含む、ヒューズの作製方法。

【請求項16】前記充填材料が、前記第1の材料よりも不活性ではない請求項15に記載の方法。

【請求項17】前記導電層が金属ケイ化物を含み、前記第1の材料が窒化ケイ素を含み、前記充填材料がSiLK、二酸化ケイ素、酸窒化ケイ素、SOG材料、シリケート、またはフルオロシリケートを含む請求項16に記載の方法。

【請求項18】前記金属ケイ化物には、ケイ化コバルト、ケイ化タングステン、またはケイ化チタンが含まれる請求項17に記載の方法。

【請求項19】前記充填材料領域が、前記カバー層の中心に形成されている請求項15に記載の方法。

【請求項20】前記カバー層の厚さが約200オングストロームないし約400オングストロームである請求項15に記載の方法。

【請求項21】前記カバー層の厚さが約250オングストロームないし約350オングストロームである請求項20に記載の方法。

【請求項22】前記充填材料領域が、前記カバー層の厚み全体にわたって延びる請求項15に記載の方法。

【請求項23】前記導電層の厚さが約200オングストロームないし約300オングストロームであり、シート抵抗が約15オーム/□未満である請求項15に記載の方法。

【請求項24】前記導電層の厚さが約225オングストロームないし約275オングストロームであり、シート抵抗が約10オーム/□未満である請求項23に記載の方法。

【請求項25】前記多結晶シリコン層の厚さが約2,000オングストロームないし約3,000オングストロームであり、シート抵抗が約100オームよりも大きい請求項15に記載の方法。

【請求項26】前記多結晶シリコン層の厚さが約2,300オングストロームないし約2,700オングストロームであり、シート抵抗が約500オームよりも大きい請求項25に記載の方法。

【請求項27】前記充填材料が、パッシベーション層に使用される材料である請求項15に記載の方法。

【請求項28】前記ギャップを充填する前記ステップの後、前記導電層に接触して配置された2つのコンタクトを形成するステップをさらに含み、前記充填材料領域が前記コンタクト間に配置されている請求項15に記載の方法。

【請求項29】前記ギャップを充填する前記ステップが、パッシベーション層の形成中に行われる請求項15に記載の方法。

【請求項30】前記充填材料が、二酸化ケイ素、窒化ケイ素、または前述の少なくとも1種を含む組合せを含む請求項29に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に集積回路板上のヒューズに関し、詳細には、制御されかつ予測可能な劣化領域を有するヒューズに関する。

【0002】

【従来の技術】集積回路メモリが冗長であることは、歩留りを改善するための、現行のチップ製造戦略の一部をなす。チップ上の欠陥のあるセルを重複または冗長回路に代えることによって、集積回路メモリの歩留りは著しく増加する。現在実施されているやり方は、導電性接続を切断しまたは溶断することであり（ヒューズ）、それによって、機能しないセルの代わりに冗長なメモリ・セルを使用することが可能になる。集積回路の製造では、チップが特定の適用例に適合するように、チップおよびモジュールのカスタマイズを行うことも一般的なやり方である。多様な用途が考えられる集積回路内でヒューズを選択的に溶断することによって、単一の集積回路設計を経済的に製造することができ、かつ多様なカスタム・ヒューズに適合させることができる。

【0003】一般に、集積回路設計にはヒューズまたはヒューズ・リンクが組み込まれ、これらのヒューズは、例えばこれらのヒューズを開状態にするのに十分な大きさの電流を流すことによって、選択的に溶断される。あるいは、ヒューズを劣化させてヒューズの抵抗を増大させるため、ヒューズを完全に溶断するのに必要とされる電流よりも弱い電流をヒューズに印加することができる。ヒューズを選択的に溶断しまたは劣化させるプロセスは、しばしば「プログラミング（programming）」と呼ばれる。電流でヒューズ・リンクを溶断することの代案として、破断される各ヒューズの上にウィンドウを開け、レーザを使用してヒューズを溶断し、次いでこのウィンドウにパッシベーション層を充填することがある。

【0004】図1ないし図3では、従来のヒューズを符号10で概略的に示す。図1および図2は、プログラミング前の従来のヒューズの上平面図および断面図をそれ

ぞれ示す。図3は、ヒューズをプログラミングした後、図2に示されるものと同じ断面図を示す。ヒューズは、多結晶シリコン層18上に配置された導電性ケイ化物層14に電気的に接触している2つのコンタクト16を含む。ヒューズは、一般に絶縁性パッシベーション層で覆われている（図示せず）。ケイ化物層14および多結晶シリコン層18はスタック状に配置され、このスタックは絶縁層12上に配置されている。絶縁層12は典型の場合酸化物層であり、この酸化物層自体は基板20上に付着されまたは成長される。基板20は、典型的な場合、単結晶シリコンである。

【0005】次に図2を参照すると、ヒューズ内を流れる電流は、一般に一方のコンタクト16からケイ化物層14を通して他方のコンタクト16へと進む。電流が、ヒューズの閾値電流値を超えるレベルまで増大する場合、ケイ化物層14が溶融して回路が効果的に開くことになる。得られた「溶断」ヒューズを図3に示す。溶断したケイ化物では、切れ目22のどちらの側にも集塊24が形成される。図1ないし図3に示すヒューズは、下に在る多結晶シリコン層18の特性を変えることによって修正することが可能である。多結晶シリコン層18に多量にドーパされる場合、例えば、この多結晶シリコン層18はより高い抵抗のパスとしての役割をすることができ、その内部には、ケイ化物層14内に切れ目22が生じた後に電流が流れることになる。

【0006】

【発明が解決しようとする課題】しかし、上述のヒューズ設計では、ケイ化物層14内に切れ目22を確実に局在化させることができない。ケイ化物層14を溶融させるプロセスは、損傷を与える可能性のあるかなりの量の熱を発生させるので、切れ目22が形成される可能性のある面積を縮小し、またはヒューズをプログラミングするのに必要とされるエネルギーを減少させ、またはヒューズをプログラミングするときに隣接する構成要素に損傷を与える可能性を別のやり方で減少させることが望ましい。切れ目22をケイ化物層14の予め画定された領域に局在化させようとする試みには、ケイ化物の領域を狭めて狭窄領域を形成すること（「ネック（neck）」を形成すること）が含まれていた。あるいは、損傷を最小限に抑えようとする従来の試みには、集積回路内でヒューズを物理的に分離しまたは封じ込めることが含まれていた。

【0007】しかし、従来のヒューズ設計では、ヒューズを溶断することによって生じる望ましくない損傷が無くならず、最終製品のコストが増し、または最終製品の設計品質が望ましくないものになった。当技術分野で必要なのは、ヒューズをプログラミングすることにより、従来の技法よりも少ないエネルギーを使用して、コンタクト16間に定められた点でケイ化物層14を再現可能に劣化させかつ溶融させるように製作されたヒューズで

ある。

#### 【0008】

【課題を解決するための手段】従来技術に関する上述およびその他の欠点は、多結晶シリコン層と、多結晶シリコン層上に配置された導電層と、導電層上に配置されたカバー層とを含む本発明のヒューズ構造であって、カバー層が、第1の材料と、この第1の材料中に配置された充填材料を含む充填材料領域とを含み、充填材料が導電層に接触している本発明のヒューズ構造によって、克服されまたは多少とも解決される。

【0009】また本発明は、上述のヒューズを作製するための方法でもある。この方法は、多結晶シリコン層を形成するステップと、多結晶シリコン層上に導電層を形成するステップと、導電層上に第1の材料を含むカバー層を形成するステップと、第1のフォトレジストでマスクングをし、パターニングし、かつエッチングして、多結晶シリコン層と導電層とカバー層とを含むスタックを画定するステップとを必要とする。次いでこのスタックを第2のフォトレジストでマスクングし、パターニングし、さらにエッチングして、カバー層内にギャップを画定する。次いでこのギャップに充填材料を充填して充填材料領域を形成するが、この充填材料領域は導電層に接触するものである。

#### 【0010】

【発明の実施の形態】本明細書では、電子回路で使用されるヒューズについて記述する。このヒューズは、多結晶シリコン層上に配置された導電層とカバー層とを含み、このカバー層は、好ましくは第1の比較的不活性な材料と共に、その内部に配置された充填材料を含む充填材料領域を含むものである。2つのコンタクトは、ヒューズの導電層に電気的に接触した状態で配置することができる。導電層内に十分な電流を通すことによってヒューズをプログラミングすると、導電層は、カバー層の充填材料領域の下に在る領域で優先的に劣化し、溶解する。このように劣化が局在化して生じるのは、カバー層が選択的に除去されることによって導電層が物理的に応力を受けるからであり、また導電層の劣化が、好ましい実施形態においてはカバー層の比較的不活性な第1の材料よりも不活性ではない充填材料の下で増大するからであるという両方の理由による。それによって導電層は、カバー層の充填材料の直下の点で劣化する。

【0011】図4は、基板および絶縁体上に位置付けられ、かつパッシベーション層に包まれた本発明のヒューズの一実施形態の断面図を、符号100で概略的に示す。図4およびそれ以降の図に示す層の相対的な厚さは、必ずしも正しい尺度で示す必要は無く、例示を目的とするものである。ヒューズ構造は、従来のどのようなデバイス基板にも形成することができるが、基板層114上に形成された酸化物層112上に形成することが好ましい。酸化物層112は、二酸化ケイ素、またはそ

の他の従来の酸化物、または当技術分野で知られている絶縁体でよく、その厚さはヒューズを電気的に絶縁するのに十分なものである。酸化物層112の厚さ「t1」は、一実施形態では約2500オングストローム(Å)ないし約4500オングストロームであり、下に在る基板層114の熱酸化によって、または当技術分野で周知のその他の技法によって形成することができる。基板層114は、数ある従来の基板の中でも単結晶シリコンでよい。コンタクト106を除いてヒューズ構造は絶縁性パッシベーション層116に包まれており、この層は、数ある従来の材料の中でも二酸化ケイ素でよい。パッシベーション層116は、多結晶シリコン層102、導電層104、およびカバー層110をカプセル化するのに十分であり、かつヒューズが電気的または機械的な損傷を受けないように十分な、厚さ「t5」に形成される。

【0012】ヒューズ自体は、酸化物層112上に配置された多結晶シリコン層102と、多結晶シリコン層102上に配置された導電層104と、導電層104上に配置されたカバー層110とを含む。充填材料領域111は、カバー層110内に配置される。ヒューズに対して外部から直接電気的なアクセスをとることが望まれる場合には、そのようなアクセスを得るために、2つのコンタクト106を、ヒューズの導電層104と電気的に連絡する状態で配置することが好ましい。図5は、理解し易いように、パッシベーション層116、酸化物層112、および基板層114を除去した状態の、図4のヒューズを示す平面図である。図4および図5に示すように、多結晶シリコン層102、導電層104、およびカバー層110はスタック状に形成され、したがって一実施形態では、これらの幅「w」および長さ「l」は互いに同じである。

【0013】多結晶シリコン層102、導電層104、およびカバー層110の幅「w」および長さ「l」がそれぞれほぼ同じである一実施形態では、このプロセス技法の下限と同程度に狭い幅「w」であることが好ましい。例えば、多結晶シリコン層102、導電層104、およびカバー層110の幅「w」は0.50ミクロン未満にすることができ、幅「w」は0.20ミクロン未満であることが好ましい。多結晶シリコン層102、導電層104、およびカバー層110の長さ「l」は、一実施形態では幅「w」の3倍から50倍の間であり、長さ「l」は幅「w」の約5倍から約10倍の間であることが好ましいが、長さ「l」は、適用例に応じてさらに著しく増大させることができる。

【0014】図5に示す上面図からわかるように、多結晶シリコン層102、導電層104、およびカバー層110の形状は、コンタクト106を通して所望の電気接続を提供すると同時に、カバー層110内に充填材料領域111として十分なスペースを提供するのに適する任意の形状でよい。その例として、コンタクト106の間

りに拡張された領域を有する形状や、コンタクト106の周りの領域からコンタクト106間の領域にかけて先細りにされた形状が含まれるが、これらに限定されない。当業者なら、より多くの形状が可能であり、それらは本発明の精神および範囲内にあることを理解するであろう。

【0015】酸化物層112上には多結晶シリコン層102が形成され、その厚さは、適用例に応じて導電層104を支持するのに適する任意の厚さでよく、厚さ「t2」は約2,000Å（オングストローム）ないし約3,000Åであることが好ましく、厚さ「t2」は約2,300Åないし約2,700Åであることが特に好ましい。多結晶シリコン層102は、p型ドーピングが行われたもの、n型ドーピングが行われたもの、またはドーピングが行われていないものであって、ヒューズをプログラミングした後に望ましくない電流が流れないように、十分なシート抵抗を有するものでよい。約100オーム/□よりも大きい抵抗が好ましく、約500オーム/□よりも大きい抵抗が特に好ましい。

【0016】多結晶シリコン層102上には導電層104が形成される。導電層104は、抵抗が十分に低く、ヒューズ環境に適合し、処理中に多結晶シリコン層102上に形成することができる任意の材料でよい。導電層104は、ケイ化コバルトやケイ化チタン、ケイ化タングステン、ケイ化タンタル、ケイ化白金などであって前述の少なくとも1種を含んだ材料を含む金属ケイ化物などでよく、とりわけケイ化コバルト、ケイ化タングステン、およびケイ化チタンが好ましい。導電層104の厚さ「t3」は、導電経路を提供するのに十分のものであり、プログラミングするための過剰の電流は必要無い。一実施形態で、導電層104は、ケイ化コバルトなどの金属ケイ化物であり、その厚さ「t3」は約200Åないし約300Åであり、その厚さは約225Åないし約275Åが好ましく、そのシート抵抗は約15オーム/□未満であり、そのシート抵抗は約10オーム/□未満が好ましい。

【0017】カバー層110は、下に在る導電層104をサポートすることができ、処理中に十分エッチングされたときに下に在る導電層104内に応力集中を局在化させることになる、任意の従来の材料でよい第1の材料を含む。カバー層110の局在化領域内にある導電層104からサポートを取り払うと、下に在る導電層104内に応力集中が生じるので、カバー層110の第1の材料はサポート性を有することが好ましい。上記のように生じた応力集中により、導電層104では、応力集中の部位が優先的に劣化する。

【0018】さらに、カバー層110は、第1の材料として比較的不活性な材料を含むことが好ましい。カバー層110に使用される第1の材料は比較的不活性であることが好ましいが、その理由は、後で比較的不活性では

ない材料を充填材料領域111に使用する場合、その比較的の不活性ではない充填材料を用いることによって、充填材料領域111の下に在る導電層104領域内での劣化速度が、カバー層110の比較的の不活性な第1の材料の下に在る導電層104の残りの部分での劣化速度に対して増大することになるからである。カバー層110の第1の材料は、従来のチップ製作中に腐食剤バリアとして通常付着されるような、窒化物を含んでよい。

【0019】カバー層110の充填材料領域111は、カバー層110内のエッチングされたギャップに充填されて導電層104を覆うことができる、任意の従来の材料を含むことができる。上記論じたように、充填材料領域111は、カバー層110を形成するのに使用される比較的の不活性な第1の材料よりも不活性ではない充填材料を含むことが好ましい。例えば、充填材料は、Silicon Low K（「SILK」）、比較的弱く結合している酸素または窒素を含む材料、二酸化ケイ素、酸窒化ケイ素、SOG（spin on glass）材料、シリケート、特にフルオロシリケートと、前述の少なくとも1種を含んだ組合せを含む。

【0020】カバー層110の厚さ「t4」は、プログラミング中、下に在る導電層104の抵抗を充填材料領域111によって区別をつけて変えることができるように、十分なものである。例えば一実施形態では、カバー層110は、第1の材料として窒化物腐食剤バリアを含み、このカバー層110は、厚さが約200Åないし約400Åであり、厚さ「t4」は約250Åないし約350Åが好ましい。カバー層110の充填材料領域111は、その厚さがカバー層110の残りの部分とは異なるものでよいが、一実施形態では、実質上同様の厚さであることが好ましい。さらに、充填材料領域111は、図5に示すようにカバー層110の幅「w」の端から端まで延びてよく、あるいは図6に示すように、カバー層の内側に配置することができる。充填材料領域111は任意の形状で形成することができ、そのうち2種の形状について図5および図6に示すが、実質上長方形であることが好ましい。さらに、充填材料領域111は、カバー層110の長さ「L」に沿ってコンタクト間の任意の位置に形成することができ、カバー層のほぼ中央の位置（図5および図6に示す）が好ましい。

【0021】コンタクト106はヒューズの対向端部に配置され、ヒューズと外部デバイスとの間に電気接続を提供するため、またはヒューズと同じ集積回路内のその他の構成要素との間に電気接続を提供するために、導電層104に結合される。プログラミングするためにヒューズにアクセスできるように、コンタクト106を金属接続ラインに接続することができる。コンタクト106は、タングステンなど、集積回路の使用に適する任意の従来の導電材料から形成することができる。あるいは、導電層104に直接接触するように相互接続ラインを形

成することができ、その場合、パッシベーション層116の表面下にある相互接続ラインの部分はコンタクト106である。

【0022】図4、5、および6は、本発明のヒューズの実施形態であって2つのコンタクト106が設けられたものを示すが、機能性を高めまたはプログラミングを容易にするために、ヒューズのどちらかの端部に任意の数のコンタクト106を設けることができる。図7は代替の実施形態を示し、ヒューズ上には複数のコンタクト118が設けられている。図7に示すように、ヒューズのどちらかの端部の幅「w2」を増大させて、複数のコンタクト118を収容する。ヒューズを適正に機能させるのにコンタクト領域の実際の寸法は重要ではなく、任意の特定の適用例の要求に合うように、多くの代替例を実施することができる。

【0023】図8ないし図14は、上述のヒューズを製作することができる方法の一実施形態を示す。図8は、いくつかの予備的な製作ステップを実行した後の、本発明の一実施形態のヒューズの先駆体を示す断面図である。具体的には、以下のステップ、すなわち酸化物層112上に多結晶シリコン層102を付着し、多結晶シリコン層102上に導電層104を付着し、導電層104上にカバー層110の第1の材料を付着し、得られた3層スタックを第1のフォトレジスト層で覆い（図示せず）、フォトレジストをパターンニングし、3層スタックをエッチングし、フォトレジストを除去して図8に示す構造にする各ステップ、またはそれらと均等なステップを、周知の技法を使用して実行した。

【0024】図9は、第2のフォトレジスト層122を形成してパターンニングし、このフォトレジスト122のウィンドウ124を通してカバー層110のある領域を露出させた後の、図8のヒューズの先駆体を示す。図10は、反応性イオン・エッチングなどの任意の従来のエッチング技法でよいエッチング・プロセスにかけられて、カバー層110の露出部分が除去された、図9のヒューズ先駆体を示す。エッチング後、ギャップ120がカバー層110内に画定される。カバー層110より導電層104の局所的サポートがギャップ120の領域では取り払われているので、このギャップ120のエッジの下に在る導電層104領域に応力集中が生じる（図10中「C」が付された円によって示される）。

【0025】上記論じたように、ギャップ120には任意の適切な材料を充填することができ、カバー層110を形成するために予め付着された第1の材料よりも、比較的不活性ではない充填材料を充填することが好ましい。ギャップ120には、フォトレジスト122を除去する前、または後に充填することができる。下に在る導電層104に損傷を与えない任意の塗布技法を使用し、ギャップ120内に充填材料領域111を形成することができる。例えば、フォトレジスト122のウィ

ドウ124を通してカバー層110のギャップ120内にSILKを付着し、それによって充填材料領域111を形成することができる。好ましい実施形態では、フォトレジスト122を除去し、スピン・オン（spin-on）技法などの当技術分野で周知の方法によりSILKを塗布して、充填材料領域111を形成する。

【0026】図11は、充填材料領域111を形成し、第2のフォトレジスト層122を除去した後の、ヒューズの先駆体を示す。図12は、パッシベーション層116を形成した後の図11の先駆体を示す。図13は、第3のフォトレジスト層128を塗布してパターンニングし、パッシベーション層116およびカバー層110の露出している領域をエッチングしてコンタクト領域130を形成した後の、ヒューズ先駆体を示す。コンタクト領域130内のコンタクト106の形成は従来の技法を使用して行い、第3のフォトレジスト層128を除去して図14に示す最終のヒューズの実施形態を得る。十分なプログラミング電流を導電層104内に通すと、導電層104は、充填材料領域111の下にある部分が優先的に劣化するが、その理由は、カバー層110のサポートがカバー層110のエッチング・ステップ中に取り払われたからであり、かつ導電層104が比較的不活性ではない充填材料の下でより急速に劣化するからである。

【0027】ヒューズの別の実施形態では、エッチング中にカバー層110に形成されたギャップ120を、エッチング後、充填しないまま残すことができ、図15に示すように、後でパッシベーション層116の形成中に、パッシベーション層116の形成に使用した材料を充填することができる。この場合、充填材料領域111'は、窒化ケイ素や二酸化ケイ素、または前述の少なくとも1種を含む組合せなど、任意の従来のパッシベーション材料でよい。この実施形態では、カバー層110の第1の材料と充填材料領域111'の充填材料との不活性の度合いに差があることによる影響が加えられることなく、カバー層のエッチング中に導電層104に応力集中を生じさせることによって、ヒューズ溶断領域の局在化が実現される。この実施形態の製作および寸法は、従来の実施形態に関して上記述べたものと同様である。

【0028】本発明のヒューズによれば、より少ないエネルギーを使用して予測可能な領域で「溶断」し、したがって隣接する構造およびデバイスに対して従来のヒューズよりも損傷を与える傾向が少ないヒューズを集積回路に組み込むことが可能になる。さらに、ヒューズ構造を分離する必要がなくなり、プログラミングがより確実に、予測可能に、かつ効率的になる。

【0029】まとめとして、本発明の構成に関して以下の事項を開示する。

【0030】(1) 多結晶シリコン層と、前記多結晶シリコン層上に配置された導電層と、前記導電層上に配置されたカバー層とを含み、前記カバー層が、第1の材料

(7) 開2002-57217 (P2002-57217A)

と、前記第1の材料中に配置された充填材料を含む充填材料領域とを含み、前記充填材料が前記導電層に接触しているヒューズ構造。

(2) 前記充填材料が前記第1の材料よりも不活性ではない上記(1)に記載のヒューズ。

(3) 前記導電層が金属ケイ化物を含み、前記第1の材料が窒化ケイ素を含み、前記充填材料がSILK、二酸化ケイ素、酸化ケイ素、SOG (spin on glass) 材料、シリケート、またはフルオロシリケートを含む上記(2)に記載のヒューズ。

(4) 前記金属ケイ化物には、ケイ化コバルト、ケイ化タングステン、またはケイ化チタンが含まれる上記(3)に記載のヒューズ。

(5) 前記充填材料領域が前記カバー層の中心に配置されている上記(1)に記載のヒューズ。

(6) 前記カバー層の厚さが約200オングストロームないし約400オングストロームである上記(1)に記載のヒューズ。

(7) 前記カバー層の厚さが約250オングストロームないし約350オングストロームである上記(6)に記載のヒューズ。

(8) 前記充填材料領域が、前記カバー層の厚み全体にわたって延びる上記(1)に記載のヒューズ。

(9) 前記導電層の厚さが約200オングストロームないし約300オングストロームであり、シート抵抗が約15オーム/□未満である上記(1)に記載のヒューズ。

(10) 前記導電層の厚さが約225オングストロームないし約275オングストロームであり、シート抵抗が約10オーム/□未満である上記(9)に記載のヒューズ。

(11) 前記多結晶シリコン層の厚さが約2,000オングストロームないし約3,000オングストロームであり、シート抵抗が約100オームよりも大きい上記(1)に記載のヒューズ。

(12) 前記多結晶シリコン層の厚さが約2,300オングストロームないし約2,700オングストロームであり、シート抵抗が約500オームよりも大きい上記(11)に記載のヒューズ。

(13) 前記充填材料が、パッシベーション層に使用される材料である上記(1)に記載のヒューズ。

(14) 前記導電層に接触して配置された2つのコンタクトをさらに含み、前記充填材料領域が前記コンタクト間に配置されている上記(1)に記載のヒューズ。

(15) 多結晶シリコン層を形成するステップと、前記多結晶シリコン層上に導電層を形成するステップと、前記導電層上に、第1の材料を含むカバー層を形成するステップと、第1のフォトレジストでマスキングし、パターニングし、エッチングして、前記多結晶シリコン層と、前記導電層と、前記カバー層とを含むスタックを画定す

るステップと、第2のフォトレジストでマスキングし、パターニングし、エッチングして、前記カバー層内にギャップを画定するステップと、前記ギャップに充填材料を充填して、前記導電層に接触する充填材料領域を形成するステップとを含む、ヒューズの作製方法。

(16) 前記充填材料が、前記第1の材料よりも不活性ではない上記(15)に記載の方法。

(17) 前記導電層が金属ケイ化物を含み、前記第1の材料が窒化ケイ素を含み、前記充填材料がSILK、二酸化ケイ素、酸化ケイ素、SOG材料、シリケート、またはフルオロシリケートを含む上記(16)に記載の方法。

(18) 前記金属ケイ化物には、ケイ化コバルト、ケイ化タングステン、またはケイ化チタンが含まれる上記(17)に記載の方法。

(19) 前記充填材料領域が、前記カバー層の中心に形成されている上記(15)に記載の方法。

(20) 前記カバー層の厚さが約200オングストロームないし約400オングストロームである上記(15)に記載の方法。

(21) 前記カバー層の厚さが約250オングストロームないし約350オングストロームである上記(20)に記載の方法。

(22) 前記充填材料領域が、前記カバー層の厚み全体にわたって延びる上記(15)に記載の方法。

(23) 前記導電層の厚さが約200オングストロームないし約300オングストロームであり、シート抵抗が約15オーム/□未満である上記(15)に記載の方法。

(24) 前記導電層の厚さが約225オングストロームないし約275オングストロームであり、シート抵抗が約10オーム/□未満である上記(23)に記載の方法。

(25) 前記多結晶シリコン層の厚さが約2,000オングストロームないし約3,000オングストロームであり、シート抵抗が約100オームよりも大きい上記(15)に記載の方法。

(26) 前記多結晶シリコン層の厚さが約2,300オングストロームないし約2,700オングストロームであり、シート抵抗が約500オームよりも大きい上記(25)に記載の方法。

(27) 前記充填材料が、パッシベーション層に使用される材料である上記(15)に記載の方法。

(28) 前記ギャップを充填する前記ステップの後、前記導電層に接触して配置された2つのコンタクトを形成するステップをさらに含み、前記充填材料領域が前記コンタクト間に配置されている上記(15)に記載の方法。

(29) 前記ギャップを充填する前記ステップが、パッシベーション層の形成中に行われる上記(15)に記載

の方法。

(30) 前記充填材料が、二酸化ケイ素、窒化ケイ素、または前述の少なくとも1種を含む組合せを含む上記(29)に記載の方法。

【図面の簡単な説明】

【図1】従来のヒューズの平面図である。

【図2】図1のヒューズのA-A'に沿った断面図である。

【図3】ヒューズをプログラミングした後の、図2に示すものの断面図である。

【図4】カバー層に組み込まれた充填材料を示す、本発明のヒューズの一実施形態の断面図である。

【図5】図4のヒューズの部分平面図である。

【図6】カバー層の充填材料の代替の実施形態を示す部分平面図である。

【図7】本発明のヒューズの一実施形態を示す平面図である。

【図8】スタックの形成を示す、ヒューズ先駆体の断面図である。

【図9】マスク層の形成およびパターニングを示す、ヒューズ先駆体の断面図である。

【図10】カバー層のある領域のエッチングを示す、ヒ

ューズ先駆体の断面図である。

【図11】カバー層内の充填材料の形成を示す、ヒューズ先駆体の断面図である。

【図12】パッシベーション層の形成を示す、ヒューズ先駆体の断面図である。

【図13】コンタクト形成用のスペースを設けるためにパッシベーション層およびカバー層をエッチングした後の先駆体を示す、ヒューズ先駆体の断面図である。

【図14】本発明のヒューズの一実施形態を示す断面図である。

【図15】本発明のヒューズの別の実施形態の断面図であって、パッシベーション層の形成中に充填材料が形成される状態を示す図である。

【符号の説明】

102 多結晶シリコン層

104 導電層

106 コンタクト

110 カバー層

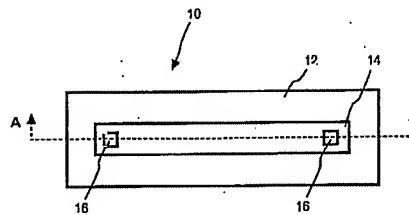
111 充填材料領域

112 酸化物層

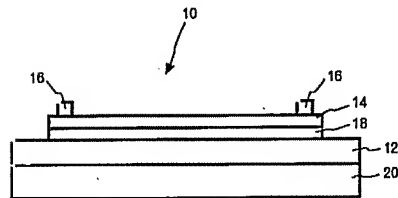
114 基板層

116 パッシベーション層

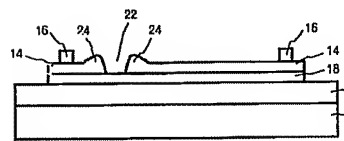
【図1】



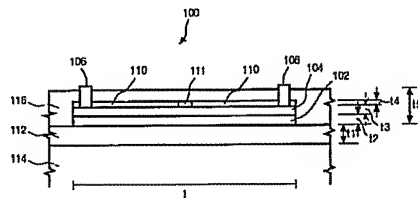
【図2】



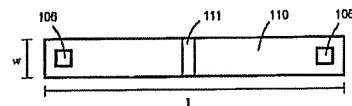
【図3】



【図4】

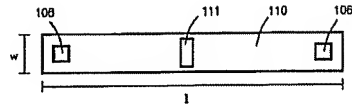


【図5】

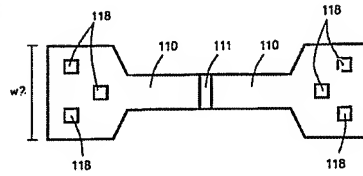




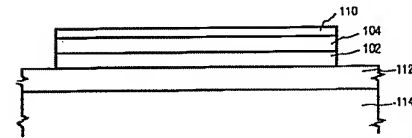
【圖6】



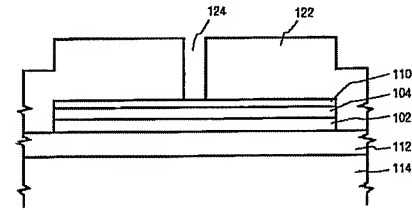
【圖7】



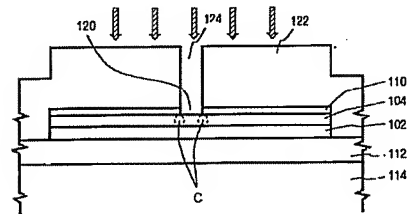
【圖8】



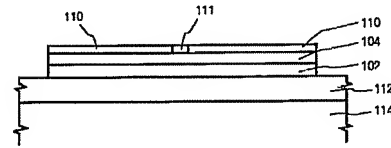
【圖9】



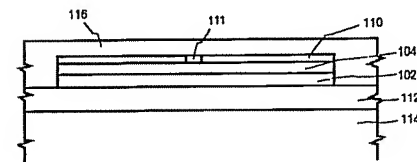
【圖10】



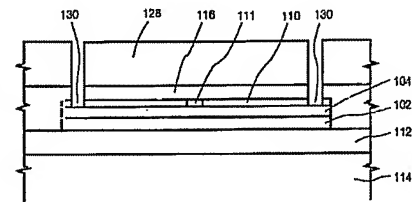
【圖11】



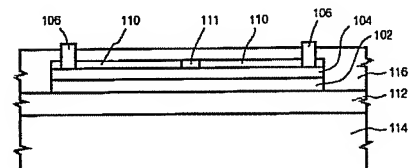
【圖12】



【圖13】

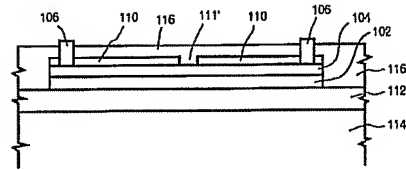


【圖14】



(10) #2002-57217 (P2002-57217A)

【図15】



フロントページの続き

(72)発明者 チャンドラセカラン・コタンダラマン  
アメリカ合衆国12590 ニューヨーク州ワ  
ッピンガーズ・フォールズ サリー・レー  
ン 19イー  
(72)発明者 フランク・グレルナー  
アメリカ合衆国12524 ニューヨーク州フ  
イッシュキル オズボーン・ヒル・ロード  
203

(72)発明者 サンダー・クマー・イヤー  
アメリカ合衆国12508 ニューヨーク州ビ  
ーコン メイン・ストリート 325 アバ  
ートメント2  
Fターム(参考) 5F064 FF27 FF29 FF30 FF32 FF34  
FF45  
5G502 EE04

## REINFORCED FUSE BY LOCAL DETERIORATION OF FUSE LINK

Patent number: JP2002057217 (A)

Publication date: 2002-02-22

Inventor(s): KOTHANDARAMAN CHANDRASEKARAN; GRELLNER FRANK; IYER SUNDAR KUMAR + (KOTHANDARAMAN CHANDRASEKARAN, ; GRELLNER FRANK, ; IYER SUNDAR KUMAR)

Applicant(s): IBM + (INTERNATL BUSINESS MACH CORP <IBM>)

Classification:

- international: H01L21/82; H01L23/525; H01L21/70; H01L23/52; (IPC1-7): H01H85/00; H01L21/82

- european: H01L23/525F

Application number: JP20010160394 20010529

Priority number(s): US20000580132 20000530

### Abstract of JP 2002057217 (A)

**PROBLEM TO BE SOLVED:** To provide a fuse having a deterioration region which is controlled and can be predicted. **SOLUTION:** In the fuse incorporating a cover layer arranged on a conductor layer, the conductive layer is arranged on a polysilicon layer. It is desirable that the cover layer include a comparatively inactive material, such as nitride corrosive barrier. The covers layer has a filling material area which is not comparatively inactive. When the fuse is programmed, an area existing below the filling material of the cover layer prudentially deteriorates in the conductive layer which can be silicide. The fuse is fused, which can be predicted, in a fused area, existing below the filling material due to preferential deterioration. Since the 'fused' area can be predicted, damages given to adjacent structure can be suppressed to a minimum or can be laminated.